

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 02-087674

(43)Date of publication of application : 28.03.1990

(51)Int.Cl.

H01L 29/784
H01L 27/04

(21)Application number : 63-241293

(71)Applicant : RICOH CO LTD

(22)Date of filing : 26.09.1988

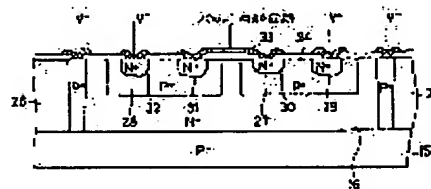
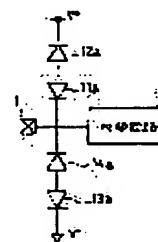
(72)Inventor : KYOGOKU HIROAKI
YOSHII KOJI

(54) SURGE PROTECTIVE CIRCUIT

(57)Abstract:

PURPOSE: To have a broad range in which a protective element does not perform action and obtain a surge protective circuit in which the range is changed easily as well by comprising two P-N junctions which are connected in series and have different directions to each other and one end of them is connected to an input/output pad and the other end is connected to a power source of a ground.

CONSTITUTION: A P-N junction 12a is composed of a P+ type diffusion layer 27 and an N+ type diffusion layer 29 and then, a P-N junction 11a is composed of the P+ type diffusion layer 27 and an N+ type diffusion layer 30. Further, a P-N junction 14a is composed of a P+ type diffusion layer 28 and an N+ type diffusion layer 31 and a P-N junction 13a is composed of the P+ type diffusion layer 28 and an N+ type diffusion 32. Respective P-N junctions 11a-14a compose a circuit by means of metal wiring 33 through contact holes of an insulating film 24 which is formed on the surface of a substrate.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

decision of rejection]

[Date of extinction of right]

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平2-87674

⑤ Int. Cl.⁵

識別記号

庁内整理番号

④ 公開 平成2年(1990)3月28日

H 01 L 29/784
27/04

H

7514-5F
8422-5F

H 01 L 29/78

3 0 1 K

審査請求 未請求 請求項の数 1 (全5頁)

⑬ 発明の名称 サージ保護回路

⑭ 特 願 昭63-241293

⑭ 出 願 昭63(1988)9月26日

⑮ 発 明 者 京 極 浩 明 東京都大田区中馬込1丁目3番6号 株式会社リコー内

⑯ 発 明 者 吉 井 宏 治 東京都大田区中馬込1丁目3番6号 株式会社リコー内

⑰ 出 願 人 株 式 会 社 リ コ ー 東京都大田区中馬込1丁目3番6号

⑱ 代 理 人 弁 理 士 野 口 繁 雄

明 細 書

1. 発明の名称

サージ保護回路

2. 特許請求の範囲

(1) 直列に接続された互いに方向の異なる2個のPN接合を少なくとも含み、一端が入出力パッドに接続され、他端が電源又はグランドに接続されるサージ保護回路。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は半導体集積回路装置において内部の回路をサージから保護するためのサージ保護回路に関するものである。

(従来の技術)

半導体集積回路装置では、通常、入出力部にサージ保護回路が設けられる。サージ保護回路にはPN接合やMOSトランジスタが設けられており、入出力部の電圧が回路電源の範囲からPN接合の順方向電圧又はMOSトランジスタのパンチスル一電圧を超えたときに保護素子が作動するように

なっている。

第7図はPN接合の順方向電圧 V_{be} を利用した保護回路の例であり、第8図はその装置の断面図を表わしている。

内部回路2と入出力パッド1の間が抵抗3で接続されているとともに、保護回路として高電圧電源 V^+ との間にダイオード4が接続され、低電圧電源 V^- との間にダイオード5が接続されている。

第7図の回路において、入出力パッド1に印加される電圧が回路電源範囲($V^+ \sim V^-$)からPN接合の順方向電圧 V_{be} を超えると保護素子4又は、5が作動し、その電圧でクランプされる。保護素子の働かない入出力電圧範囲は($V^+ + V_{be} \sim V^- - V_{be}$)である。一般に $V_{be} = 0.6 \sim 0.7V$ である。

第9図はNMOSトランジスタ6のパンチスル一電圧 BV_{ds} 及びPN接合の順方向電圧 V_{be} を利用した保護回路である。第10図はその装置の一例を表わしたものであり、抵抗3はポリシリコン層により形成されている。

第9図の保護回路で、入出力パッド1の印加電圧が高電圧側にはNMOSトランジスタ6のソース電圧 V^- よりパンチスルー電圧を越えた場合、低電圧側にはNMOSトランジスタ6の基板電圧 V^- よりPN接合の順方向電圧を越えた場合にその電圧でクランプされる。したがって、第9図の保護回路で保護素子6の働かない入出力電圧範囲は $(V^- + B V_{ds} \sim V^- - V_{be})$ である。一般に $B V_{ds} = 10 \sim 20 V$ である。

(発明が解決しようとする課題)

第7図又は第9図に示される保護回路では、保護素子が作動しない電圧範囲は狭く、入出力電圧が正常動作状態でその範囲を越える場合には使用できない。

本発明は保護素子の作動しない範囲が広く、またその範囲を変えることも容易なサージ保護回路を提供することを目的とするものである。

(課題を解決するための手段)

本発明のサージ保護回路は、直列に接続された互いに方向の異なる2個のPN接合を少なくとも

含み、一端が入出力パッドに接続され、他端が電源又はグラウンドに接続される。

(作用)

サージ保護回路が2個のPN接合の直列回路のみを含む場合には、その他端を低電圧側の電源 V^- に接続した場合、入出力端子に印加される電圧が $(V^- + B V_{eb} + V_{be})$ より高くなったときにクランプされる。また、他端を高電圧側の電源 V^+ に接続した場合、入出力端子に印加される電圧が $(V^+ - B V_{eb} - V_{be})$ より低くなったときにクランプされる。 $B V_{eb}$ はPN接合の逆方向の降伏電圧であり、PN接合の順方向電圧 V_{be} よりも大きく、クランプされない入出力電圧範囲は広い。

一対の互いに逆方向のPN接合を含む直列回路にさらにPN接合を付加することによって、入出力電圧がクランプされる電圧範囲を広くすることができる。

(実施例)

第1図は一実施例を表わす。

入出力パッド1と内部回路2の間には、高電圧電源 V^+ との間に互いに逆方向の2個のPN接合11、12が直列に接続されており、低電圧電源 V^- との間にも互いに逆方向の2個のPN接合13、14が直列に接続されている。

第2図は第1図の実施例を実現するための装置を表わしている。

15はP⁻シリコン基板、16はN⁻ウエル拡散又は基板15上に形成されたN⁻エピタキシャル層である。PN接合11～14を形成するために、ウエル16にはP⁺拡散層17、18、19が形成され、それらのP⁺拡散層17、18、19の内側にN⁺拡散層20、21、22、23が形成されている。P⁺拡散層17とN⁺拡散層20によってPN接合11が構成され、P⁺拡散層18とN⁺拡散層21によってPN接合12が構成され、P⁺拡散層18とN⁺拡散層22によってPN接合13が構成され、P⁺拡散層19とN⁺拡散層23によってPN接合14が構成されている。

各PN接合11～14は基板表面に形成された

絶縁膜24のコンタクトホールを介してメタル配線25によって第1図の回路を構成するように接続されている。

N⁻ウエル16はP⁺拡散層26によって分離されており、P⁺拡散層17～19から電荷が流れないようにN⁻ウエル16の電位はフローティング状態とされている。

第3図は他の実施例を表わすものであり、第1図の保護回路のPN接合を入れ替えた状態になっている。

第4図は第3図の回路を実現する装置であり、15は基板、16はN⁻ウエル拡散又はN⁻エピタキシャル層であり、27、28はP⁺拡散層、29～32はN⁺拡散層である。P⁺拡散層27とN⁺拡散層29によってPN接合12aが構成され、P⁺拡散層27とN⁺拡散層30によってPN接合11aが構成され、P⁺拡散層28とN⁺拡散層31によってPN接合14aが構成され、P⁺拡散層28とN⁺拡散層32によってPN接合13aが構成されている。各PN接合11a～14

aは基板表面に形成された絶縁膜24のコンタクトホールを介してメタル配線33によって第3図の回路を構成するように接続されている。

第1図及び第3図の実施例において、保護素子の働かない入出力電圧範囲は高電圧側に対しては

$$(V^+ + B V_{eb} + V_{be}) \quad \dots (1)$$

であり、低電圧側に対しては

$$(V^+ - B V_{eb} - V_{be}) \quad \dots (2)$$

である。一例として、 $V^+ = 5V$ 、 $V^- = GND$ 、 $V_{be} = 0.6V$ 、 $B V_{eb} = 7.4V$ とすると、上記(1)、(2)式から保護素子の働かない入出力電圧範囲は $-3V \sim 8V$ である。

実施例では入出力パッド1と電源 V^+ 、 V^- との間に一対のPN接合が設けられているが、さらに保護素子の働かない電圧範囲を広げるために、PN接合対の直列回路にさらにPN接合を接続してもよい。

実施例ではまた、入出力パッド1と高電圧電源 V^+ の間、及び入出力パッド1と低電圧電源 V^- の間の両方に保護回路が設けられているが、サージ

もし、第5図の発振回路でのサージ保護回路として第7図に示される従来の保護回路を用いた場合は、B端子の保護素子に電流が流れ、電源電流が増加したり、発振周波数が理論値から変ってしまう。一方、第1図又は第3図に示される保護回路を用いた場合には、第5図の発振回路では保護素子に電流が流れず、この発振回路は理論値通り正常動作を行なう。

(発明の効果)

本発明の保護回路は、直列に接続された互いに方向の異なる2個のPN接合を少なくとも含み、一端が入出力パッドに接続され、他端が電源又はグラウンドに接続されるので、電源電圧範囲を越える入出力電圧に対して保護回路の働かない電圧範囲を広く設定することができる。また、その電圧範囲を変更することも容易である。そのため、消費電流や誤動作を低減することができる。

4. 図面の簡単な説明

第1図は一実施例を示す回路図、第2図は同実施例の装置を示す断面図、第3図は他の実施例を

電圧として負又は正のいずれか一方のみしか印加されないことが明らかであれば、保護回路は高電圧電源側又は低電圧電源側のいずれか一方だけでもよい。

保護機能を高めるために、入出力パッド1と内部回路2の間に抵抗を付加してもよい。

次に、実施例の保護回路を用いるのに好都合な回路例を第5図に示す。

第5図は抵抗40と容量41により周波数の決まる発振回路である。42、43はインバータであり、破線で囲まれた領域44が半導体集積回路となり、容量41が外付けされる。A、B端子にそれぞれ実施例に示されたような保護回路が組み込まれるものとする。

第5図の動作を第6図に示す。

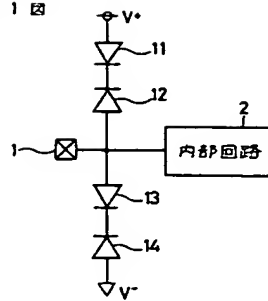
V_{th1} はインバータ42のしきい値電圧である。 V_a はA端子の電位、 V_b はB端子の電位である。この回路で $V^+ = 5V$ 、 $V^- = GND$ 、 $V_{th1} = 2.5V$ とすると、B端子の電位 V_b の振幅範囲 $= -2.5 \sim 7.5V$ となる。

示す回路図、第4図は第3図の実施例の装置を示す断面図、第5図は実施例の保護回路を用いるのに適した発振回路の例を示す回路図、第6図は第5図の発振回路の動作を示す波形図、第7図は従来の保護回路の一例を示す回路図、第8図はその装置を示す断面図、第9図は従来の他の保護回路の例を示す回路図、第10図はその装置を示す断面図である。

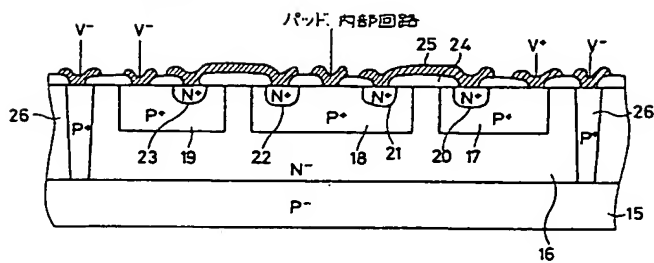
1……入出力パッド、2……内部回路、11～14、11a～14a……PN接合。

特許出願人 株式会社リコー
代理人 弁理士 野口繁雄

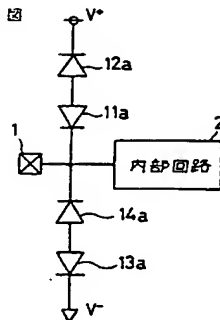
第1図



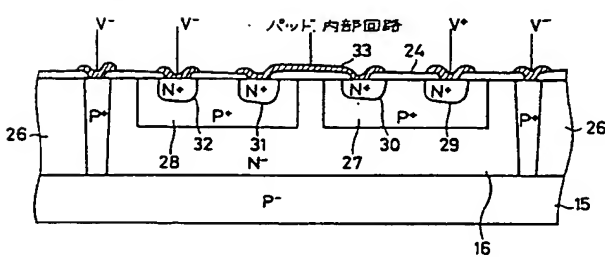
第2図



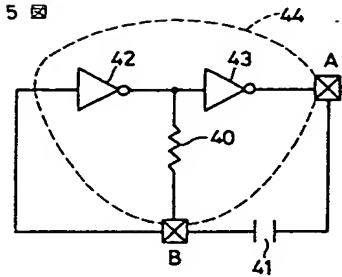
第3図



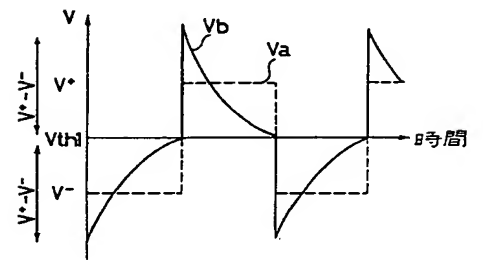
第4図



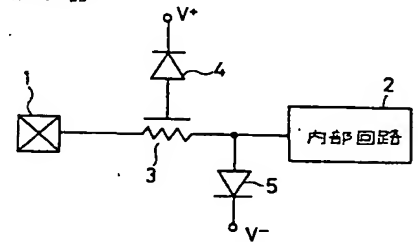
第5図



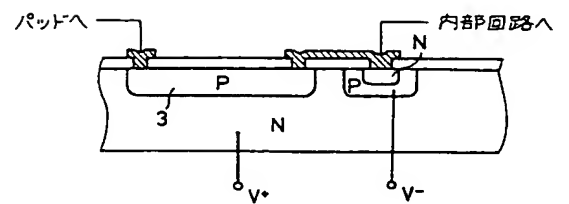
第6図



第7図



第8図



特開平2-87674(5)

手続補正書

平成1年2月2日

特許庁長官 殿

1. 事件の表示
昭和63年特許願第241293号
2. 発明の名称
サージ保護回路
3. 補正をする者
事件との関係 特許出願人
住所 東京都大田区中馬込1丁目3番6号
名称 (674) 株式会社 リコー
代表者 浜田 広
4. 代理人
住所 (〒591) 大阪府堺市向陵中町4丁4-1
鳳口ビル4階B号室
(電話 0722-57-9043)

氏名 (8546) 弁理士 野口 繁雄

5. 補正命令の日付

自発

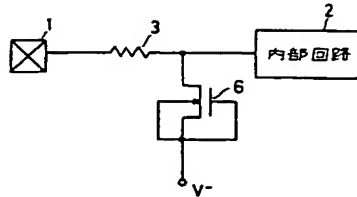
6. 補正の対象

図面

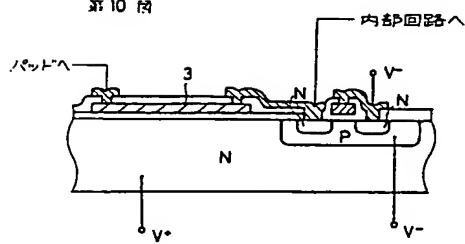
7. 補正の内容

第7図を別紙のとおり補正する。
ダイオード5の方向を変える。

第9図



第10図



第7図

